

(19)世界知的所有権機関
国際事務局(43)国際公開日
2005年10月13日 (13.10.2005)

PCT

(10)国際公開番号
WO 2005/096386 A1(51)国際特許分類⁷:
G01R 31/28, G06F 17/50, G06N 3/00

H01L 29/00,

(21)国際出願番号: PCT/JP2005/005846

(22)国際出願日: 2005年3月29日 (29.03.2005)

(25)国際出願の言語: 日本語

(26)国際公開の言語: 日本語

(30)優先権データ:
特願2004-105631 2004年3月31日 (31.03.2004) JP

(71)出願人(米国を除く全ての指定国について): 株式会社進化システム総合研究所 (EVOLVABLE SYSTEMS RESEARCH INSTITUTE INC.) [JP/JP]; 〒1050013 東京都港区浜松町二丁目1番13号 Tokyo (JP).

(72)発明者; および

(75)発明者/出願人(米国についてのみ): 村川 正宏 (MURAKAWA, Masahiro) [JP/JP]; 〒1050013 東京都港区浜松町二丁目1番13号株式会社進化システム総合研究所内 Tokyo (JP). 伊藤 桂一 (ITO, Keiichi) [JP/JP]; 〒1050013 東京都港区浜松町二丁目1番13号株式会社進化システム総合研究所内 Tokyo (JP). 三浦 道子 (MIURA, Michiko) [JP/JP]; 〒7390034 広島県東広島市西条町大沢849-2 Hiroshima (JP).

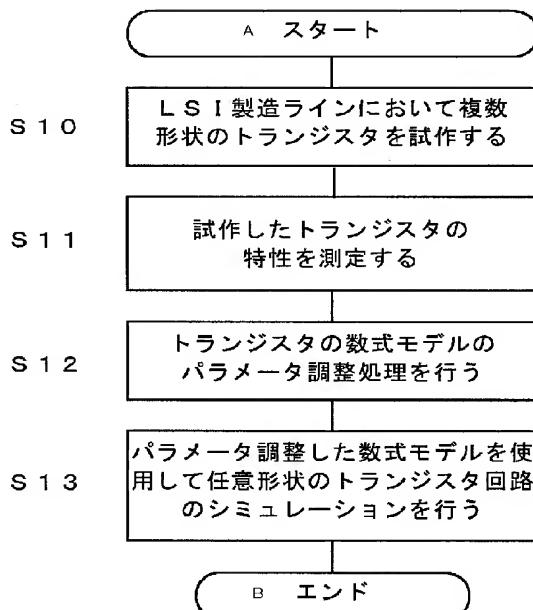
(74)代理人: 久保田 直樹, 外 (KUBOTA, Naoki et al.); 〒1950062 東京都町田市大蔵町3101-10 久保田特許事務所 Tokyo (JP).

(81)指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,

/ 続葉有 /

(54)Title: PARAMETER ADJUSTER

(54)発明の名称: パラメータ調整装置およびパラメータ調整方法



A START
 S10 MAKE TRIAL PRODUCT OF TRANSISTORS WITH VARIOUS SHAPES ON LSI MANUFACTURING LINE
 S11 MEASURE CHARACTERISTIC OF TRIAL-FABRICATED TRANSISTOR
 S12 ADJUST PARAMETERS OF MATHEMATICAL FORMULA MODEL OF TRANSISTOR
 S13 CONDUCT SIMULATION OF TRANSISTOR CIRCUIT WITH ARBITRARY SHAPE USING MATHEMATICAL FORMULA MODEL HAVING ADJUSTED PARAMETERS
 B END

(57) **Abstract:** [PROBLEMS] To provide a parameter adjuster and parameter adjusting method for adjusting a number of parameters used for models for circuit designing of semiconductor devices such as transistors in a short time. [MEANS FOR SOLVING PROBLEMS] A parameter adjuster uses a semiconductor device circuit designing model where an analysis formula is derived on basis of the surface potential such as of HiSIM, defines a chromosome including genes which are the parameters of the model, and optimized the parameters by a genetic algorithm according to the characteristic measurement data of a trial-fabricated device. The parameter adjustment includes a first step of adjusting the parameters which determines the structure of the semiconductor device according to the characteristic measurement data on a long-channels group and a second step of adjusting the unadjusted parameters according to the characteristic measurement data on channels with various lengths while referring to the results of the first step. Optimal parameter adjustment which has been conventionally difficult can be made in a short time with high precision.

(57) **要約:** 【課題】トランジスタなどの半導体素子の回路設計用モデルで用いられる多数のパラメータを短時間で調整可能なパラメータ調整装置およびパラメータ調整方法を提供すること。【解決手段】パラメータ調整装置は、半導体素子の回路設計用モデルとして例えばHiSIMのような表面ポテンシャルに基づいて解析式を導出した回路設計用モデルを採用し、モデルの複数のパラメータのそれぞれを遺伝子とする染色体を定義し、試作された素子の特性測定データに基づき、遺伝的アルゴリズムを使用してパラメータを最適化する。パラメータ調整は、長チャネルグループの特定測定データに基づき半導体素子の構造を決定するパラメータを調整する第1のステップと、第1のステップの結果を参照して、様々な長さのチャネルの特定測定データに基づき、未調整のパラメータを調整する第2のステップとを備える。従来困難であった最適なパラメータの調整が短時間かつ高精度で実行できる。

WO 2005/096386 A1



DZ, EC, EE, EG, ES, FI, GB, GD, GE, GHI, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,

BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

パラメータ調整装置およびパラメータ調整方法

技術分野

[0001] 本発明は、パラメータ調整装置およびパラメータ調整方法に関するものであり、特に、トランジスタなどの半導体素子の回路設計用モデルで用いられている多数のパラメータを短時間で調整可能なパラメータ調整装置およびパラメータ調整方法に関するものである。

背景技術

[0002] LSIの製造を行う場合、まず、当該製造ラインでトランジスタ(MOSFETあるいはこれに類似した素子)のゲートのチャネル長Lおよびチャネル幅W等の形状(サイズ)の異なる幾つかのトランジスタ(MOSFET)のサンプルを試作する。次に、この試作品の電気的特性の測定結果から、当該製造ラインにおいて製造されるトランジスタの特性に高精度で合致するように、トランジスタの回路(および素子)設計モデルの複数のモデルパラメータを調整(フィッティング)する。そして、このトランジスタの回路設計用モデルを使用して、SPICEなどの周知の回路シミュレータによって当該製造ラインにおいて製造する各種LSI(トランジスタ)のシミュレーションが行われていた。

[0003] 世の中で一番よく使用されているMOSFETを例にとると、トランジスタの回路設計用モデルとしては幾つかのモデルが提案されている。そして、従来は上記シミュレーションに周知のBSIM(Berkeley Short Channel IGFET Model)が主に使用されていた。BSIMは、 V_g (ゲート電圧)、 V_d (ドレイン電圧)、 V_b (バルク電圧)、 I_d (ドレイン電流)の関係等をゲートのチャネル長L、チャネル幅W等の変数および複数のパラメータを含む複数の数式によって表現したものである。しかし、BSIMは多数の数式からなっており、調整すべき基本のパラメータの数だけでも50個以上あるのでパラメータの調整が困難であった。また、実測値の無い領域を外挿してシミュレーションすると誤差が大きくなるという問題点もあった。

[0004] そこで、近年、本発明の発明者の一人でもある三浦が開発した、表面ポテンシャルに基づいて解析式を導出した表面ポテンシャルモデルであるHiSIM(

Hirosima-university STARC IGFET Model) という新しいタイプの回路設計用モデルが開発され、公開されている。この表面ポテンシャルを用いてトランジスタの特性を記述したHiSIMは、外部電圧の関数として表されている従来のBSIMと比べてパラメータ数が少なく、かつ外挿しても精度の高いシミュレーションができるという特徴を持っている。なお、HiSIMの詳細およびHiSIMにおける従来のパラメータ調整方法については下記のURLからダウンロード可能な下記の文献に記載されているので、詳細な説明は省略する。

非特許文献1: HiSIM 1.1.1 User's Manual

URL:<http://www.starc.or.jp/kaihatu/pdgr/hisim/hisim.html>。

[0005] また、従来、実験結果などから遺伝的アルゴリズムを用いて複数のパラメータを含む物理モデルのパラメータフィッティング(調整)処理を自動的に行うパラメータ調整装置が提案されている。例えば、本発明の発明者らが先に出願した下記の文献には、遺伝的アルゴリズムを用いて複数のパラメータを含む物理モデルのパラメータ調整処理を自動的に行う一般的なパラメータ調整装置が提案されている。

特許文献1:特開2003-108972号公報

発明の開示

発明が解決しようとする課題

[0006] 上記したHiSIMのような表面ポテンシャルに基づくモデルでは個々のパラメータの重みが大きいため、いずれかが誤った値に収束するとパラメータの値全体の信頼性を失うという危険性がある。そのため、従来のパラメータ調整方法は、多数のパラメータを同時に最適化することは危険であるので、一部のパラメータのみをまず最適化し、このパラメータを固定して他の一部のパラメータを最適化するという作業を繰り返すことによってパラメータ全体の調整を行うものであった。ところが、HiSIMはパラメータの数はBSIMより少ないが、トランジスタ特性が表面ポテンシャルを用いて計算された電荷によって記述されており、上記した方法では最適化するパラメータの処理順序によっては最適なパラメータに収束しない、あるいは収束させるために多大の時間と労力を要するという問題点があった。

課題を解決するための手段

[0007] 本発明は、上記した課題を解決することを目的とし、このために、本発明のパラメータ調整装置は、半導体素子の回路設計用モデルとして例えばHiSIMなどのような表面ポテンシャルに基づいて解析式を導出した表面ポテンシャルモデルを採用し、この半導体素子の回路設計用モデルの複数のパラメータのそれぞれを遺伝子とする染色体を定義し、試作された半導体素子の特性測定データに基づき、遺伝的アルゴリズムを使用して前記パラメータを最適化するパラメータ調整手段を備えたことを主要な特徴とする。

[0008] また、前記パラメータ調整手段は、長チャネルのグループに属する半導体素子の特定測定データに基づき、半導体素子の構造を決定するパラメータを調整する第1の部分パラメータ調整手段と、前記第1のパラメータ調整手段の調整結果を参照して、様々な長さのチャネルの特定測定データに基づき、少なくとも前記第1の部分パラメータ調整手段によって調整したパラメータ以外で調整が必要なパラメータを調整する第2の部分パラメータ調整手段とを備えた点にも特徴がある。

発明の効果

[0009] 本発明のパラメータ調整装置は上記のような特徴によって、例えばHiSIMなどのような、全てのトランジスタ特性を決定する表面ポテンシャルに基づく半導体素子の回路設計用モデルのパラメータ調整に遺伝的アルゴリズムを適用したので、従来困難であった最適なパラメータの調整が短時間かつ高精度で実行できるという効果がある。また、パラメータ群を2つ以上のグループに分けて、それぞれに適する特定測定データを使用して段階的にパラメータの調整を行うことにより、更に処理の効率および精度が向上するという効果がある。

[0010] 必要に応じて前段において調整されたパラメータの一部も次段において調整されるパラメータグループに加えて調整を行うことにより、図7に示すような外挿シミュレーション範囲においても精度の高いシミュレーションを行うことができるという効果がある。

図面の簡単な説明

[0011] [図1]図1は本発明のパラメータ調整装置を使用してシミュレーションを行う場合の全体の手順を示すフローチャートである。

[図2]図2は本発明のパラメータ調整処理の内容を示す概略フローチャートである。

[図3]図3はGAを使用したパラメータ調整処理を示す概略フローチャートである。

[図4]図4はS32の交叉処理の内容を示すフローチャートである。

[図5]図5は本発明の交叉法を示す説明図である。

[図6]図6はS33の評価値計算の一例を示すフローチャートである。

[図7]図7は試作するトランジスタの形状の選択方法を示す説明図である。

[図8]図8はトランジスタのIdVg特性を示す線形スケールおよびログスケールのグラフである。

[図9]図9はHiSIMにおけるMOSFETのテクノロジカルパラメータを示すリストである。

[図10]図10はHiSIMにおけるMOSFETの移動度パラメータを示すリストである。

符号の説明

[0012] P0、P1、P2 親遺伝子ベクトル

G 重心

発明を実施するための最良の形態

[0013] 本発明のパラメータ調整装置は、後述するフローチャートによって示された処理を実行するプログラムを作成し、このプログラムを実行可能な周知の任意のコンピュータシステムにインストールすることによって実現する。なお、コンピュータシステムのハードウェアについては周知であるので詳細な説明は省略する。以下実施例1について説明する。

実施例 1

[0014] 図1は、本発明のパラメータ調整装置を使用してシミュレーションを行う場合の全体の手順を示すフローチャートである。前記したように、LSIの製造を行う場合、まずS10においては、当該LSI製造ラインでゲートのチャネル長Lおよびチャネル幅W等の形状(サイズ)の異なる幾つかのトランジスタ(MOSFET)のサンプルを試作する。

[0015] 図7は、試作するトランジスタの形状の選択方法を示す説明図である。形状の選択方法は、例えばL(チャネル長)およびW(チャネル幅)の最大値および最小値の間を等間隔で、あるいは最小値に近い方をより細かく区分し、例えば図7において○印で示すように、L-W平面上で試作するトランジスタの区分(形状)を複数箇所選択する

。

[0016] S11においては、試作したトランジスタの電気的特性を測定する。具体的にはIdVd特性(Vb固定)、IdVd特性(Vg固定)、IdVg特性(Vd固定)についてそれぞれ複数個のサンプル値(測定データ)を得る測定を固定値を変えて複数回行う。

[0017] S12においては、当該製造ラインにおいて製造されるトランジスタの特性に高精度で合致するように、本発明のパラメータ調整装置を使用して後述する方法によって半導体の回路設計用モデルのパラメータ調整処理を行う。

S13においては、パラメータが調整された回路設計用モデルを使用して、SPICEなどの周知の回路シミュレーションプログラムを使用して当該製造ラインにおいて製造する任意のチャネル長およびチャネル幅のトランジスタの動作シミュレーションを行う。

[0018] 本発明のパラメータ調整装置は、S12において、半導体素子の回路設計用モデルとして例えばHiSIMなどのような表面ポテンシャルに基づいて解析式を導出した表面ポテンシャルモデルを採用し、半導体素子の回路設計用モデルの複数のパラメータのそれぞれを遺伝子とする染色体を定義し、試作された半導体素子の特性測定データに基づき、遺伝的アルゴリズムを使用してパラメータを最適化する。

[0019] HiSIMでは基本となるデバイス特性記述は半導体基本方程式を解いて得られる。このデバイス特性記述は長チャネルMOSFETでは極めて正確である。そして、短チャネルになるにつれて複雑な2次元現象が顕著になってくるが、これを解析式で記述してモデル化する際に生じる不完全さが誤差を招いている。そこで、この短チャネルにおける誤差を補うためや、製作されたトランジスタが所望通りにならない効果を考慮するために、HiSIMでは幾つかのモデルパラメータを導入して実測値を現象的に記述している。

[0020] デバイス素子設計に従う部分のパラメータは半導体素子の構造を決定するパラメータであり、物理的な意味が明らかで、解析式の中でその寄与が明らかであり、チャネル長によらず特性に大きな影響のあるパラメータである。一方、モデルの不完全さやトランジスタの不完全さを補って実測されたトランジスタ特性を再現するために導入されたパラメータは、長チャネルにおいては特性に大きな影響は与えない。

[0021] そこで、デバイス素子設計に従う部分のパラメータの調整と、モデルの不完全さやトランジスタの不完全さを補って実測されたトランジスタ特性を再現するために導入したモデルパラメータの調整を分けることにより、それぞれのパラメータの精度が向上する。

[0022] パラメータ調整手段は、まず、長チャネルグループの特定測定データに基づき、各チャネル長において特性に大きな影響を与える、半導体素子の構造を決定するパラメータ群を調整する第1の部分パラメータ調整手段(第1ステップ)と、第1のパラメータ調整手段の調整結果を参照して、様々な長さのチャネルの特定測定データに基づき、主にチャネル長が短い場合にのみ影響が大きくなるその他のパラメータを調整する第2の部分パラメータ調整手段(第2ステップ)とを備える。なお、必要に応じて前段において調整されたパラメータの一部も次段において調整されるパラメータグループに加えて調整を行ってもよい。

[0023] HiSIMにおいては、前記した非特許文献に記載されているように、パラメータが複数のグループに分類されている。MOSFETの場合には、テクノロジカルパラメータ(Technological Parameters)グループの中には、図9に示すように、TOX、XLD、XWD、XPOLYD、TPOLY、RS、RD、NSUBC、NSUBP、VFBC、LP、XQYの12個のパラメータがある。これらは半導体素子の構造を決定するパラメータである。

[0024] また、移動度(Mobility)パラメータグループには、図10に示すように、VDS0、MUECB0、MUECB1、MUEPH0、MUEPH1、MUETMP、MUESR0、MUESR1、NDEP、NINV、NINVD、BB、VMAX、VOVER、VOVERP、RPOCK1、RPOCK2、RPOCP1、RPOCP2の19個のパラメータがある。

[0025] なお、これらのパラメータの内、例えばTOX(酸化膜厚)などのように、製造時に決定されるか、あるいは測定により既知となる場合があり、パラメータを調整する必要がないものもある。また、素子の種別や回路設計モデルのバージョンによってパラメータの内容や個数は変わる場合がある。

[0026] 本発明者らは、調整の必要なパラメータが、全てのチャネル長において特性に大きな影響を与える、半導体素子の構造を決定するパラメータと、主にチャネル長が短い場合におけるモデルと実際の特性のずれ等を補正するためのパラメータであり、チャ

ネル長が短い場合に影響が大きくなるが、チャネル長が長い場合には精度への影響は小さいパラメータとに分けられることに着目し、第1ステップとして、各チャネル長において特性に大きな影響を与えるパラメータを調整し、第2ステップとして、第1ステップの結果を用いて残りのパラメータを調整する方法を発明した。

[0027] 実施例においては、第1ステップとして、各チャネル長において特性に大きな影響を与え、調整する必要があり、半導体素子の構造を決定するパラメータであるテクノロジカルパラメータグループのNSUBC、NSUBP、VFBCの3個のパラメータ、および移動度パラメータグループのMUECB0、MUECB1、MUEPH1、MUESR1、VMAXの5個のパラメータ、合計8のパラメータ(図9、10の●を付与したパラメータ)について調整を行う。その他の調整の必要なパラメータについては例えば前記非特許文献に記載されている推奨値を設定する。

[0028] なお、前記した移動度パラメータグループの5個のパラメータは、半導体素子の構造を決定するパラメータではないが、テクノロジカルパラメータが決定されることにより決まるパラメータであり、これらのパラメータも第1ステップにおいて調整する。

[0029] 図2は、本発明におけるパラメータ調整(フィッティング)処理の内容を示す概略フローチャートである。まず第1ステップのS20においては、チャネル長Lの長い方のグループの測定データを数種類読み込む。チャネル長Lの長い方のグループの測定データを使用する理由は、第2ステップにおいて調整するパラメータはまだ未調整であるので、第2ステップにおいて調整するパラメータの影響の少ない長チャネルデータによって第1ステップにおいて調整するパラメータの精度を評価することにより、第1ステップにおいて調整するパラメータの精度を向上させるためである。

[0030] S21においては、第1ステップで調整しないパラメータ、即ち調整しないパラメータおよび第2ステップにおいて調整するパラメータについて、固定値、測定値等の既知の値、および例えば前記非特許文献に記載されている推奨値を読み込む。S22においては、前記した特定のパラメータ8個についてGA(遺伝的アルゴリズム)調整処理を行い、値を決定する。ここまでが第1ステップである。

[0031] 第2ステップであるS23においては、各チャネル長の測定データを読み込む。S24においては、第2ステップで調整しないパラメータについて、固定値、測定値等の既

知の値、推奨値および第1ステップにおいて決定したパラメータ値を読み込む。S25においては、残りのパラメータについてGA調整処理を行い、値を決定する。

なお、第1ステップにおいて調整したパラメータを第2ステップにおいて再度調整してもよい。この場合にはそのパラメータの調整範囲を第1ステップにおいて調整した値の近傍に限定してもよい。

[0032] 各チャネル長の測定データを使用するのは以下の理由による。第2ステップにおいては、主に短チャネルにおいてのみ影響の大きなパラメータの調整を行うが、短チャネルの測定データのみを用いると、長チャネルの領域における精度が低下してしまう。そこで、第2ステップにおいては、長チャネルの測定データも使用することによって、全ての領域において精度の高いパラメータが得られる。なお、S25の処理は、パラメータの種類や数、生成する染色体の数などは異なるが、GAのアルゴリズム自体はS22と同じである。

[0033] 図3は、S22およびS25のGAを使用したパラメータ調整(フィッティング)処理を示す概略フローチャートである。S30においては、使用する測定データ群を読み出し、トランジスタの回路設計用モデル関数の調整すべきパラメータを遺伝子とする染色体をN個生成し、個体母集団とする。個体の生成とは染色体中の遺伝子の値を決定し、その染色体の評価値を計算することである。

[0034] 実施例においては、調整すべきパラメータの数nに依存して遺伝的アルゴリズムにおける染色体数Nや子の生成数cなどのパラメータを変化させるようにした。このことによって、nが小さければ処理も速くなる。実施例においては、例えば染色体数N=n×15とする。また、HiSIMにおいては各パラメータについて推奨するパラメータ初期値の範囲が定められているので、各パラメータについて、推奨するパラメータ初期値の範囲内においてランダムに初期値を決定して遺伝子の値とする。

[0035] その際、指数的な探索範囲のパラメータについては、遺伝子の値をパラメータ値の対数として表現し、対数で遺伝子の値を決定しても良い。指数的な探索範囲とは[10E-25 10E-9]の様に下限と上限で桁数に大きな開きがある探索範囲の事を指す。

[0036] なお、事前にパラメータの推奨する範囲よりも狭い範囲が好適であることが判明している場合には、初期値をその範囲に限定してもよい。例えば、測定によりトランジスタ

のしきい値電圧(V_{th})が判明している場合には、この値に基づいて、各種パラメータの存在範囲を推定することができる。この存在範囲に、遺伝的アルゴリズムのパラメータ初期値の範囲を限定することで、遺伝的アルゴリズムの探索時間(収束までに要する時間)を大幅に短縮することが可能である。

[0037] S31においてはS30で生成された個体集団より、親個体となる染色体をランダムにp個選択する。pの値は調整するパラメータがn個の場合、 $p = n + j$ とするのが望ましい。jは1～3の正定数である。S32においては、S31で選択したp個の親個体の重心Gを求める。即ち、各パラメータ毎に平均値を求める。

[0038] S32においては、選択された親個体から後述する交叉処理により子個体をChild個生成する。S33においてはS32で生成された子個体の評価値を後述する方法で計算する。なお、親個体の評価値はすでに算出されている。S34においてはS31で選択した親個体とS32で生成した子個体の中から評価の良い順にp個を個体母集団に戻し、残りを破棄する。この処理によって評価値の低い染色体が淘汰される。なお、この他に、親個体の一部を淘汰の対象にせずにそのまま母集団に戻し、残りの親個体と子個体から評価の良い順に「残りの親個体」数分戻す方法を用いてもよい。

[0039] S35においてはアルゴリズム切り替え条件が満足されたか否かを判定し、条件を満たしていないければS31戻るが、条件を満たしている場合はS36に移行する。条件としては、計算回数(世代数)が所定値を超えたか否か、あるいは評価値の減少率(評価値は値が小さいほど評価が良い場合)が所定値を下まわったか否かなどが上げられる。S47においては局所的探索法として、例えば公知のPowell法あるいはその他の公知の局所的探索法によりパラメータの調整を行う。このように探索の終盤において探索方法をGAから局所的探索法に切り替えることにより、パラメータ調整時間がより短縮する。

[0040] 次に本発明における交叉処理について説明する。従来の交叉法としては染色体の遺伝子のビットを部分的に入れ替える処理が用いられていた。この交叉法は遺伝子がビット値(0または1)である時には有効な手法であるが、遺伝子が実数値である場合には必ずしも有効な交叉法ではない。そこで、以下に述べる実数値向けの交叉法を用いる。

[0041] 図4は、S32の交叉処理の内容を示すフローチャートである。この交叉法は複数の親個体の遺伝子から計算された多面体の中から子個体の遺伝子を生成する実数値向け交叉法である。また、図5は、本発明の交叉法を示す説明図である。S40においては、p個の染色体の重心を算出する。S41においては変数cの値を1にセットし、S42においては重心G及び一様分布乱数を用いた下記の数式1より子個体を一つ生成する。

[0042] [数1]

$$\begin{aligned}
 C &= x_{p-1} + C_{p-1} \\
 x_k &= G + \varepsilon(P_k - G) \\
 C_k &= \begin{cases} 0 & (k = 0) \\ r_{k-1}(x_{k-1} - x_k + C_{k-1}) & (k = 1, \dots, p-1) \end{cases} \\
 r_k &= (u(0,1))^{\frac{1}{k+1}}
 \end{aligned}$$

[0043] ここで、pは選択された親個体の数、Cは生成される子個体の染色体を示すベクトル、Pkは選択された親個体の染色体を示すベクトルである。なお、本実施例では選択された親個体の数はn+2個であるとする。また、u(0, 1)は区間[0, 1]の一様分布乱数である。

[0044] S43においては変数cに1を加算し、S44においては変数cが所定数Childより大きいか否かが判定され、判定結果が否定の場合にはS34に戻るが、肯定の場合には交叉処理を終了する。この処理によってChild個の子個体が生成される。Childは10×n程度が望ましい。

[0045] 図5は、調整するパラメータを α 、 β の2個、個体集団よりランダムに選ばれた親個体の数を3個とした時のシンプレックス交叉の探索範囲(子個体の生成範囲)を示す説明図である。重心Gから各親個体P0～P2までのベクトル(L)を ε 倍して子個体の生成範囲(図4の外側の三角形の内部)を決定し、その範囲から一様乱数を用いて子個体を生成する。 ε の推奨値は親個体の数がp個の時、 $\sqrt{p+1}$ である。なお、パ

ラメータ数が3以上の場合には子個体の生成範囲は複数の超平面によって囲まれた超多面体の内部空間となる。

[0046] 上記の様な交叉方法を用いることで、調整対象となるパラメータが実数値である問題に対してパラメータを陽に扱うことができ、有効な調整を行う事ができる。陽に扱うことができるとは、パラメータ空間近傍にある個体が遺伝子空間でも近傍にあることを意味する。また、このような交叉手法は変数間の依存性に頑健で、スケールのとり方に依存しないという特徴があり、パラメータ間に依存性が強く、スケーリングが異なるパラメータが多数存在するHiSIMのような表面ポテンシャルに着目した半導体素子の回路設計用モデル関数のパラメータ調整に適している。

[0047] 通常、遺伝的アルゴリズムにおいては交叉の他に突然変異という処理を行う。突然変異は従来の離散的な二進数値を扱う遺伝的アルゴリズムの場合、染色体の遺伝子の一部のビット値を反転させる操作を行う。また、実数値を扱う遺伝的アルゴリズムの場合でも、染色体の各遺伝子に正規分布 $N(0, \sigma^2)$ に従って発生させた正規乱数を加算する操作が提案されている。しかし、上記したような本発明の交叉方法は交叉過程において乱数を用いているため、突然変異の性質も兼ね備えている。そのため、上記のような交叉手法を用いる場合は突然変異処理を行わない。

[0048] 次に、S33において算出される評価値について説明する。試作した素子の測定データと染色体中の遺伝子をモデルパラメータとするHiSIMで計算した特定データとの誤差に基づき、その染色体の評価値を計算する。評価値はログ(対数)スケールにおける評価値と線形スケールにおける評価値の双方を参照して決定する。

[0049] 図8は、トランジスタの Id - Vg 特性を示す線形スケール(a)およびログ(対数)スケール(b)のグラフである。図8の楕円で囲んだ部分の様に、測定データの中には(a)の線形スケールで見るとほぼ0に見えるが、(b)のログスケールで見た場合、大きく値が変化している部分がある。このような性質をサブスレショルド特性という。

[0050] この部分は、他の部分と比較すると絶対値が小さいので、誤差の絶対値も小さく、この部分を通常の線形スケールのデータのみを用いて最適化することは困難である。また、この部分を調整するためにログスケールのデータ群のみ用意して最適化を行うと、サブスレショルド特性は最適化することができるが、逆にそれ以外の部分の誤差

が大きくなり、それが生じてしまう。

[0051] そこで、本発明においては、以下に示すスケーリング処理によって、ログスケールのデータ群と線形スケールのデータ群を同時に読み込んで、全ての特性を同時に調整する。

なお、測定データ間でスケーリングが異なる場合、二乗誤差を取るとスケールの小さいデータ群は評価値に与える影響が小さくなってしまう。そのため前述したスケーリング処理を行っても調整精度が落ちる恐れがある。そこで、本発明では各測定データを正規化し、スケールを統一することによって調整精度を向上させる。

[0052] 図6は、S33に上記のスケーリング及び測定データ正規化手法を実装した、評価値計算の一例を示すフローチャートである。S50においては染色体の遺伝子情報を読み込み、HiSIMのモデルパラメータとする。S51においては測定データ群を読み込む。S52においてはS50で入力したモデルパラメータに基づき測定データと対応する特性の推定データを計算する。

[0053] S53においては、測定データ群及びそれに対応している推定データ群をログスケールに変換したログスケールデータを生成する。S54においては、以下に示すデータの変換を行う。即ち、まずデータ群中の最大値f_{max}及び最小値f_{min}を求める。次に、下記の式2によってデータ群中の全ての測定データf(i)を正規化データg(i)に変換する。

[0054] [数2]

$$g(i) = \frac{f(i) - f_{\min}}{f_{\max} - f_{\min}}$$

[0055] ここで、g(i):正規化データ、f(i):測定データ、f_{max}:データ群中の最大値、f_{min}:データ群中の最小値である。この演算によって測定データを[0, 1]の範囲内に正規化することができる。

[0056] S55においては線形スケールのデータ群のみの評価値Aを計算する。Aは正規化測定データと正規化推定データの二乗誤差の合計である。S56においてはログスケ

ールのデータ群のみの評価値Bを計算する。Bは正規化対数測定データと正規化対数推定データの二乗誤差の合計である。S57においてはA+Bを染色体の評価値とする。なお、評価値の計算に二乗誤差を用いているが、二乗誤差の代わりに誤差率を求めるようにしてもよい。

[0057] 以上のような処理によって、短時間で高精度のパラメータ調整ができる。そして、回路設計用モデルに当該パラメータを採用することにより、試作をせずに外挿を含めて高精度の素子／回路シミュレーションを行うことができるので、半導体素子の製造効率が向上する。

[0058] 以上実施例1を説明したが、本発明のパラメータ調整装置には以下のような変形例も考えられる。トランジスタの回路設計用モデル例としてはHiSIMを挙げたが、表面ポテンシャルに基づく半導体の回路設計用モデルとしてはHiSIMの他SP2000, MOSModel11、PSP等がある。また、HiSIMは表面ポテンシャルに基づいて電荷を計算し、この電荷によって素子の特性を算出している。一方で、直接電荷から出発して素子の特性を記述する回路設計用モデルも存在する。このようなモデルの例としては、例えばイス工科大学のEKVモデルがある。このモデルの場合においても、HiSIMのテクノロジカルパラメータグループに相当するパラメータグループが定義でき、HiSIMと同様に本発明を適用することが可能である。

請求の範囲

[1] 半導体素子の回路設計用モデルとして表面ポテンシャルに基づいて解析式を導出した表面ポテンシャルモデルを採用し、この半導体素子の回路設計用モデルの複数のパラメータのそれぞれを遺伝子とする染色体を定義し、試作された半導体素子の特性測定データに基づき、遺伝的アルゴリズムを使用して前記パラメータを最適化するパラメータ調整手段を備えたことを特徴とするパラメータ調整装置。

[2] 前記パラメータ調整手段は、
長チャネルのグループに属する半導体素子の特定測定データに基づき、少なくとも半導体素子の構造を決定するパラメータを調整する第1の部分パラメータ調整手段と、
前記第1のパラメータ調整手段の調整結果を参照して、様々な長さのチャネルの特定測定データに基づき、少なくとも前記第1の部分パラメータ調整手段によって調整したパラメータ以外で調整が必要なパラメータを調整する第2の部分パラメータ調整手段と
を備えたことを特徴とする請求項1に記載のパラメータ調整装置。

[3] 前記表面ポテンシャルモデルとしてHiSIMを採用し、
前記第1の部分パラメータ調整手段は、HiSIMにおけるテクノロジカルパラメータグループの内的一部のパラメータおよび移動度パラメータグループの内のテクノロジカルパラメータが決定されることにより決まる一部のパラメータを調整し、
前記第2の部分パラメータ調整手段は、前記第1の部分パラメータ調整手段において調整されたパラメータの一部も再度調整することを特徴とする請求項2に記載のパラメータ調整装置。

[4] 前記部分パラメータ調整手段は、遺伝的アルゴリズムにおける交叉処理において、親染色体群のベクトル空間における重心を求め、前記重心および親染色体群の値から定められるベクトル空間上の超多面体の内部に子染色体群の生成範囲を決定する生成範囲決定手段を備えたことを特徴とする請求項1に記載のパラメータ調整装置。

[5] 前記部分パラメータ調整手段は、遺伝的アルゴリズムにおける淘汰処理において、

線形スケールのデータに基づく第1評価値およびログスケールのデータに基づく第2評価値の双方を求め、第1評価値および第2評価値の合計を当該染色体の評価値とする評価値算出手段と、

データのスケールを統一する正規化手段と
を備えたことを特徴とする請求項1に記載のパラメータ調整装置。

[6] コンピュータを、

半導体素子の回路設計用モデルとして表面ポテンシャルに基づいて解析式を導出した表面ポテンシャルモデルを採用し、半導体素子の回路設計用モデルの複数のパラメータのそれぞれを遺伝子とする染色体を定義し、試作された半導体素子の特性測定データに基づき、遺伝的アルゴリズムを使用してパラメータを最適化するパラメータ調整手段として機能させるためのプログラム。

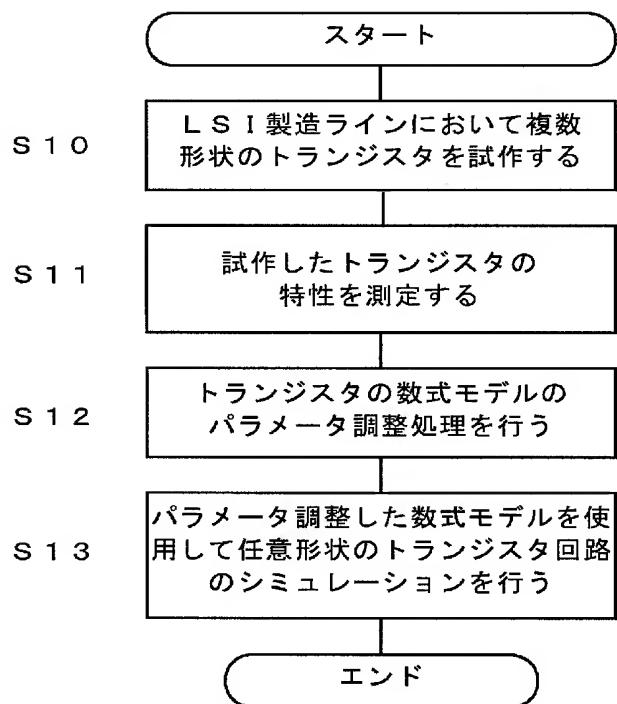
[7] 半導体素子の回路設計用モデルとして表面ポテンシャルに基づいて解析式を導出した表面ポテンシャルモデルにおけるパラメータ調整方法であって、

半導体素子の回路設計用モデルの複数のパラメータのそれぞれを遺伝子とする染色体を定義し、試作された半導体素子の長チャネルグループの特性測定データに基づき、遺伝的アルゴリズムを使用して半導体素子の構造を決定するパラメータを調整する第1のステップと、

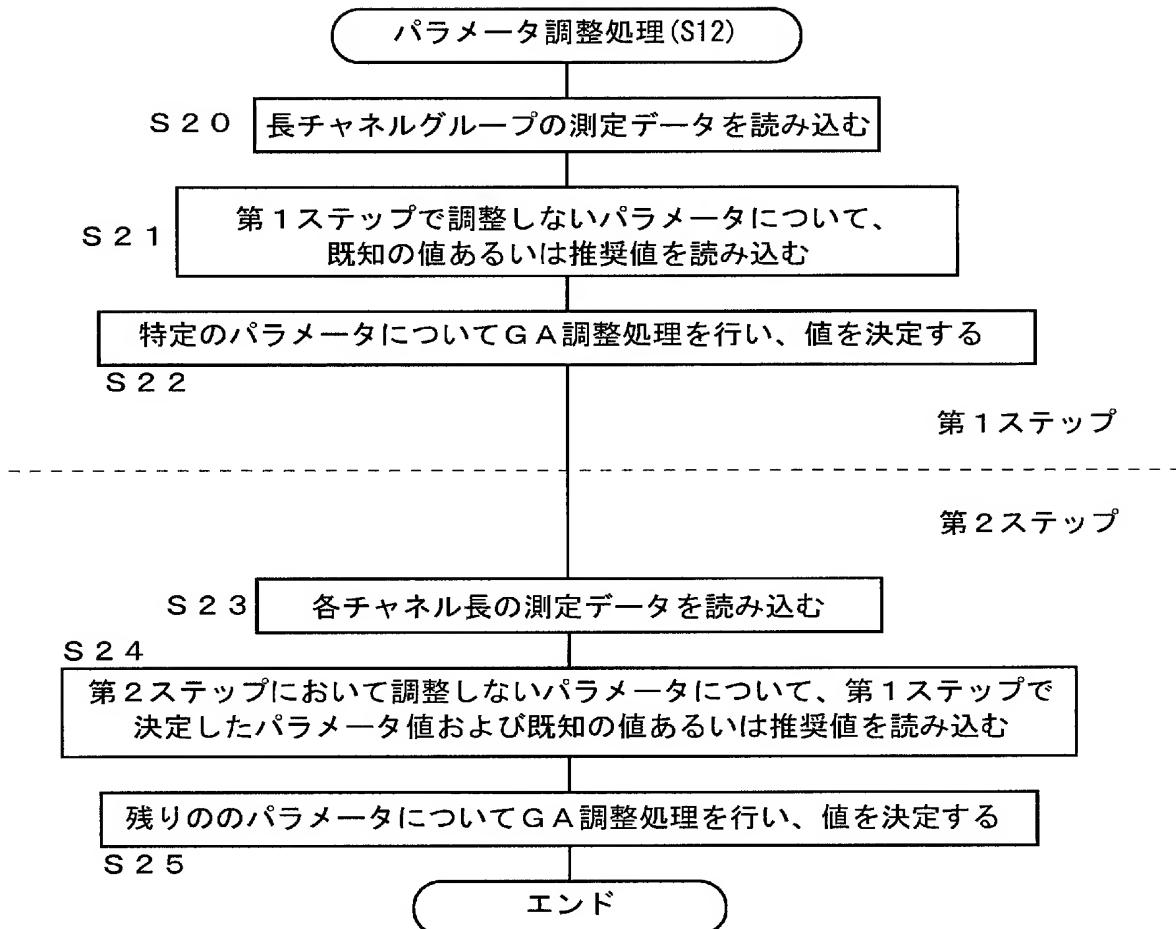
半導体素子の回路設計用モデルの複数のパラメータのそれぞれを遺伝子とする染色体を定義し、試作された半導体素子の様々な長さのチャネルの特性測定データに基づき、遺伝的アルゴリズムを使用し、前記第1のステップの調整結果を参照して、少なくとも前記第1のステップにおいて調整したパラメータ以外で調整が必要なパラメータを調整する第2のステップと
を含むことを特徴とするパラメータ調整方法。

[8] 半導体素子の回路設計用モデルとして電荷に基づいて解析式を導出した電荷モデルを採用し、この半導体素子の回路設計用モデルの複数のパラメータのそれぞれを遺伝子とする染色体を定義し、試作された半導体素子の特性測定データに基づき、遺伝的アルゴリズムを使用して前記パラメータを最適化するパラメータ調整手段を備えたことを特徴とするパラメータ調整装置。

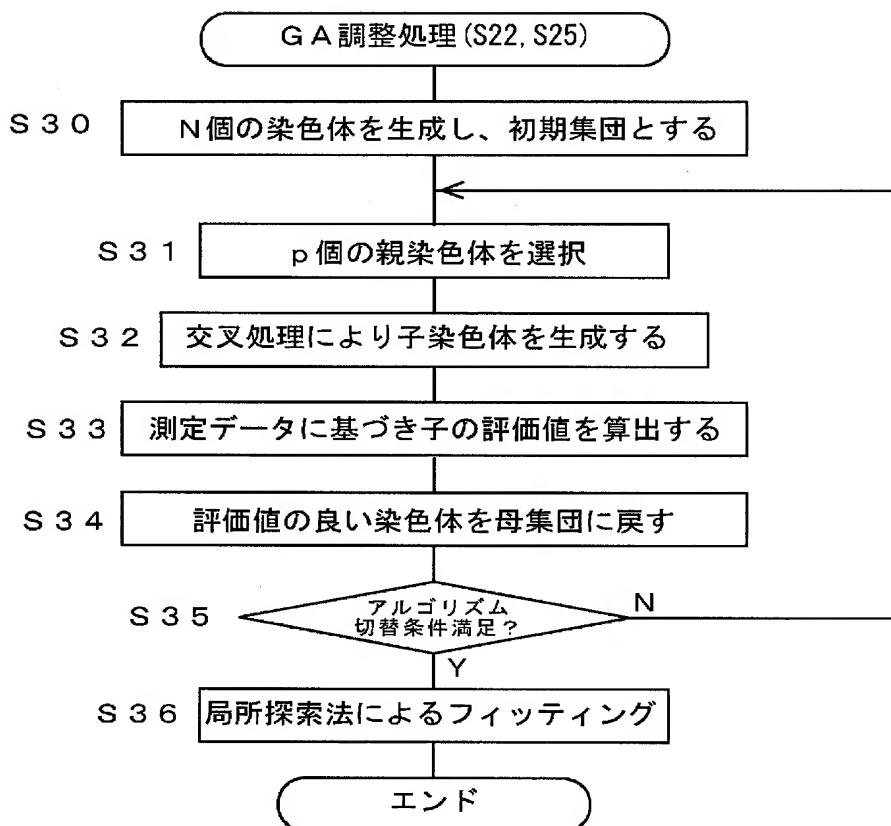
[図1]



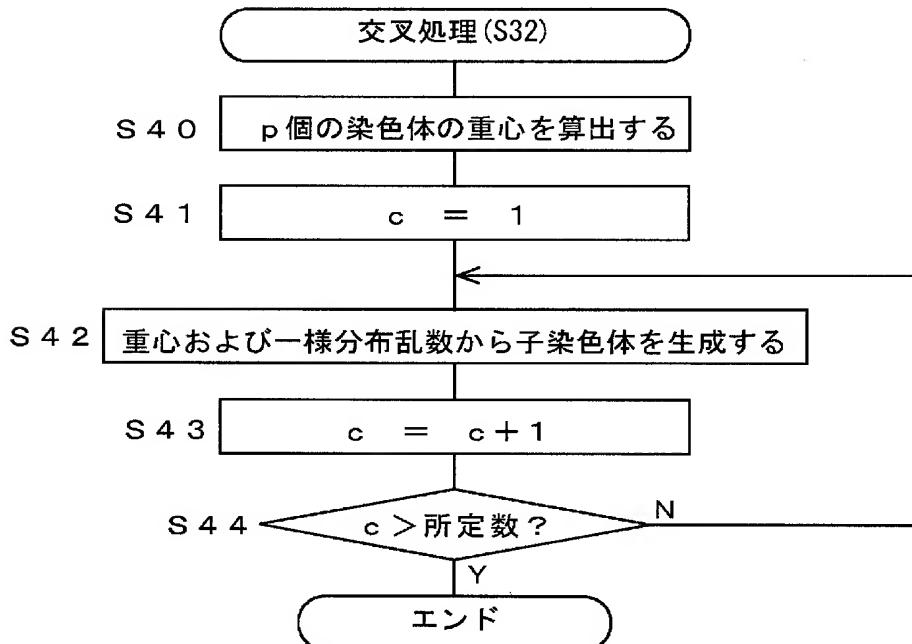
[図2]



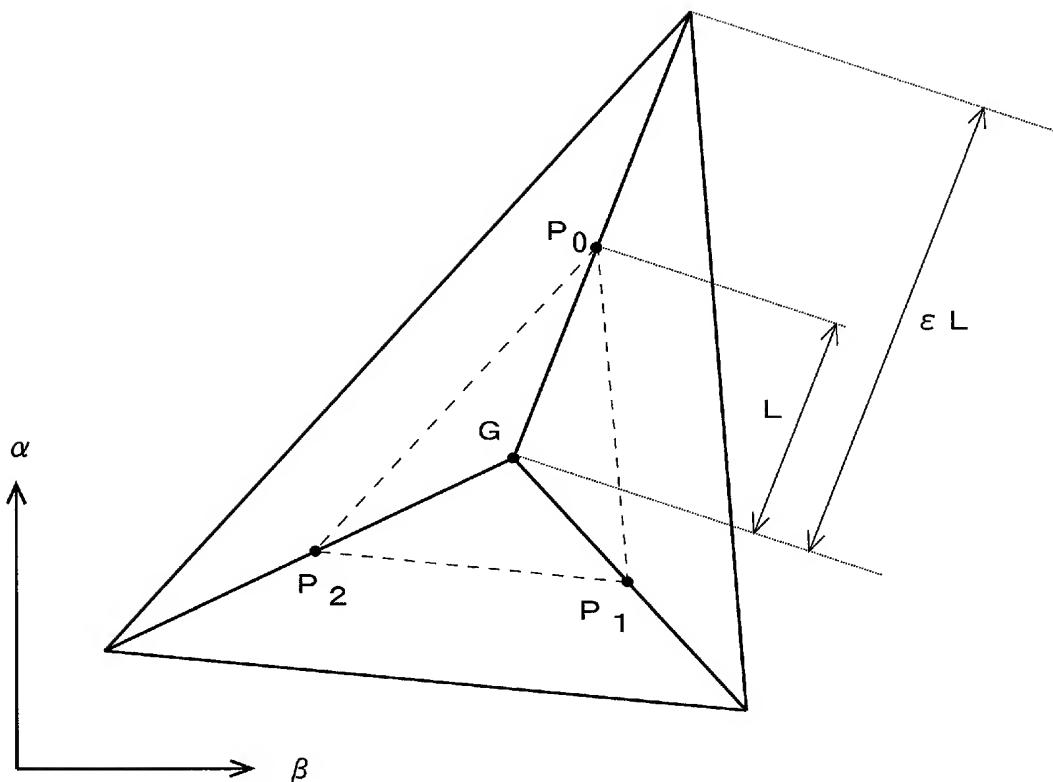
[図3]



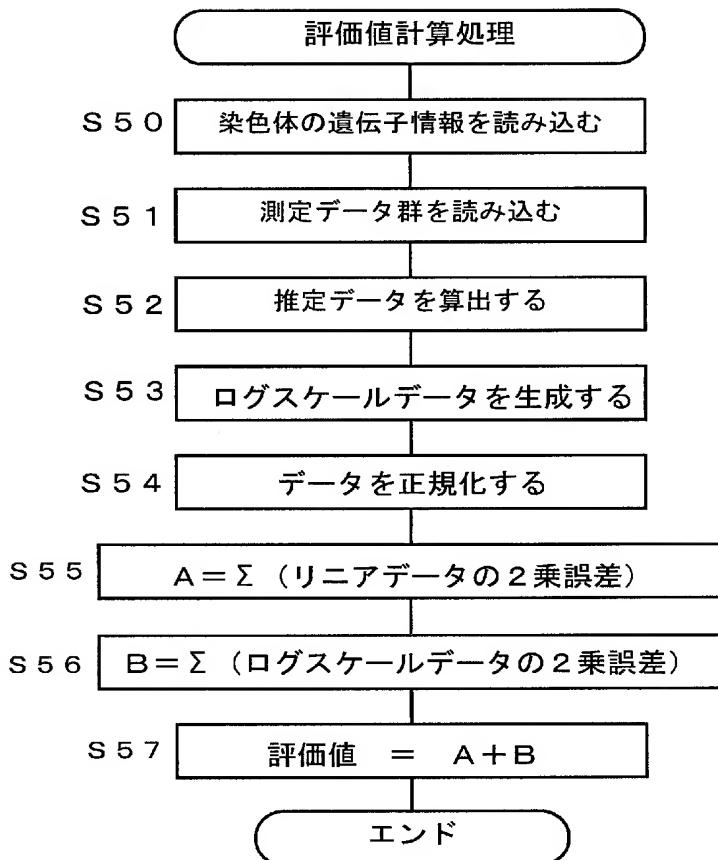
[図4]



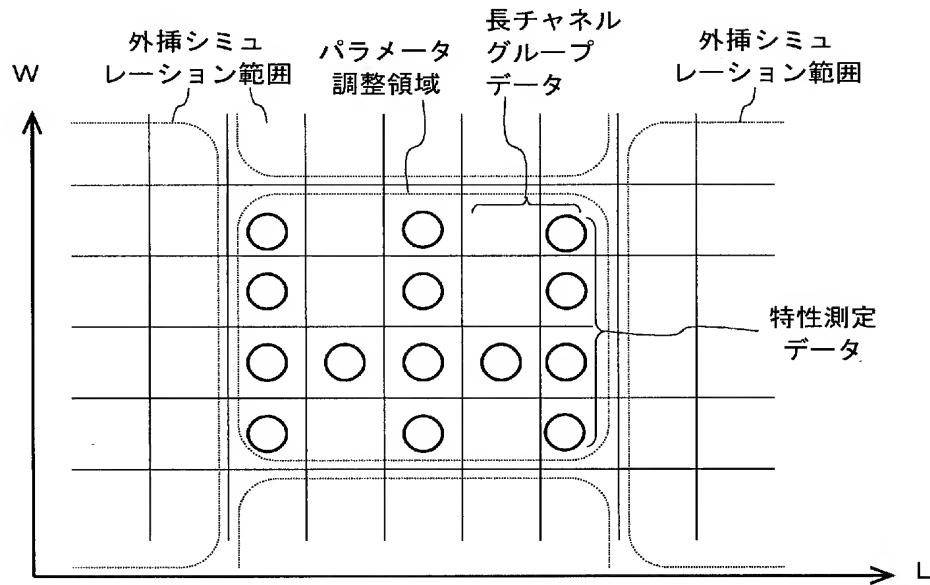
[図5]



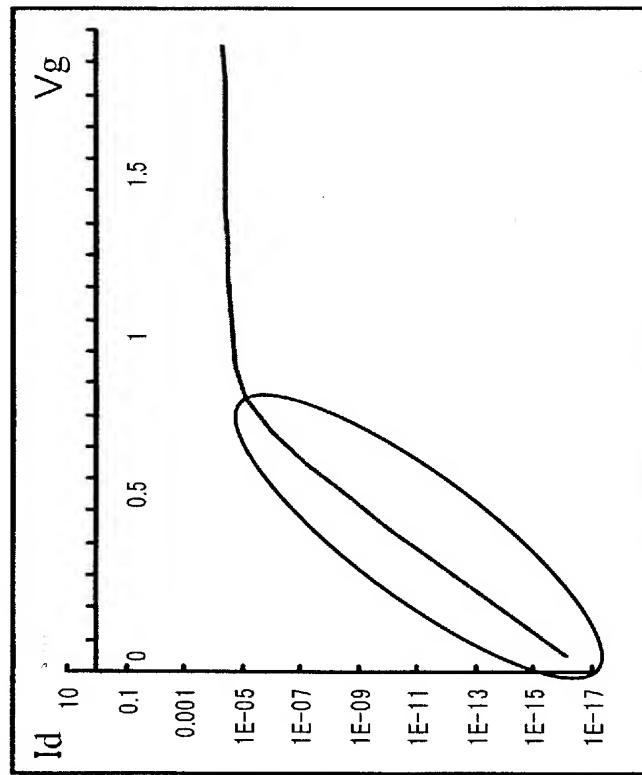
[図6]



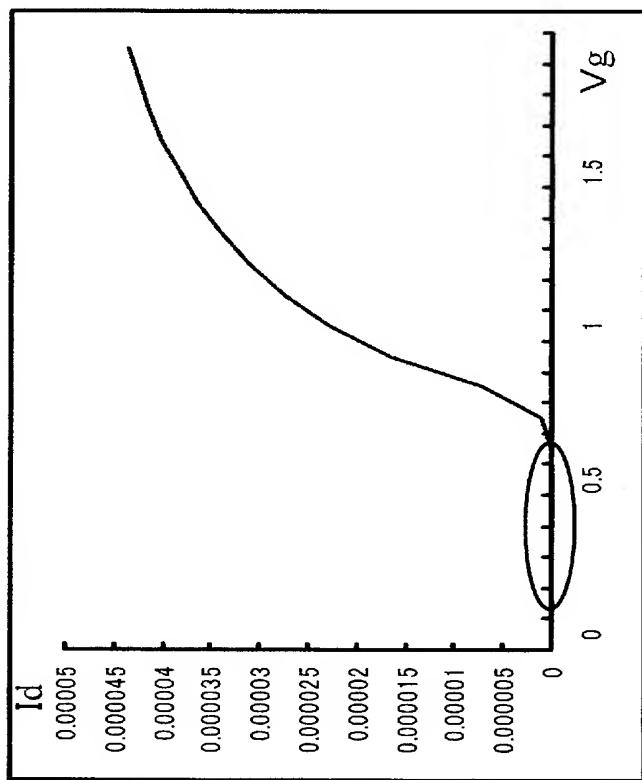
[図7]



[図8]



(b)



(a)

[図9]

Technological Parameters		
TOX	oxide thickness	m
XLD	gate-overlap length	m
XWD	gate-overlap width	m
XPOLYD	difference between gate-poly and design lengths	m
TPOLY	height of the gate poly-Si	m
RS	source-contact resistance	VA ⁻¹ m
RD	drain-contact resistance	VA ⁻¹ m
●NSUBC	substrate-impurity concentration	cm ⁻³
●NSUBP	maximum pocket concentration	cm ⁻³
●VFBC	flat-band voltage	V
LP	pocket penetration length	m
XQY	distance from drain junction to maximum electric field point	m

[図10]

Mobility		
VDS0	drain voltage for extracting the low-field mobility	V
●MUECB0	Coulomb scattering	cm ² V ⁻¹ s ⁻¹
●MUECB1	Coulomb scattering	cm ² V ⁻¹ s ⁻¹
MUEPH0	phonon scattering	cm ² (Vs) ⁻¹ (V cm ⁻¹)MUEPH1
●MUEPH1	phonon scattering	—
MUETMP	temperature dependence of phonon scattering	—
MUESR0	surface-roughness scattering	cm ² (V s) ⁻¹ (V cm ⁻¹)MUESR1
●MUESR1	surface-roughness scattering	—
NDEP	coefficient of effective-electric field	—
NINV	coefficient of effective-electric field	—
NINVD	modification of NINV	V ⁻¹
BB	high-field-mobility degradation	—
●VMAX	maximum saturation velocity	cm s ⁻¹
VOVER	velocity overshoot effect	cmVOVERP
VOVERP	L _{gate} dependence of velocity overshoot	—
RPOCK1	resistance coefficient caused by the potential barrier	V ² A ⁻¹ RPOCP1 ^{1/2} m ¹ -RPOCP2
RPOCK2	resistance coefficient caused by the potential barrier	V
RPOCP1	resistance coefficient caused by the potential barrier	—
RPOCP2	resistance coefficient caused by the potential barrier	—

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/005846

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L29/00, G01R31/28, G06F17/50, G06N3/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L29/00, G01R31/28, G06N3/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JSTPlus (JOIS), JST7580 (JOIS), JMEDPlus (JOIS)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-248810 A (HEWLETT-PACKARD CO.), 05 September, 2003 (05.09.03), Full text; Figs. 1 to 10 & US 6766497 B2	1-8
A	JP 2003-108972 A (National Institute of Advanced Industrial Science and Technology), 11 April, 2003 (11.04.03), Full text; Figs. 1 to 33 & WO 2003/012738 A1 & EP 1413981 A1 & KR 2004019370 A & AU 2002318680 A1 & US 2004/167721 A1	1-8

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	"&" document member of the same patent family

Date of the actual completion of the international search
21 June, 2005 (21.06.05)Date of mailing of the international search report
12 July, 2005 (12.07.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/005846

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, A	JP 2005-038216 A (EVOLVABLE SYSTEMS RESEACH INSTITUTE INC. et al.), 10 February, 2005 (10.02.05), Full text; Figs. 1 to 11 & WO 2005/008580 A1	1 - 8

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int.Cl.⁷ H01L29/00, G01R31/28, G06F17/50, G06N3/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H01L29/00, G01R31/28, G06N3/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JSTPlus(JOIS), JST7580(JOIS), JMEDPlus(JOIS)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2003-248810 A (ヒューレット・パッカード・カンパニー HEWLETT-PACKARD COMPANY) 2003.09.05, 全文, 第1-10図 & US 6766497 B2	1-8
A	JP 2003-108972 A (独立行政法人産業技術総合研究所) 2003.04.11, 全文, 第1-33図 & WO 2003/012738 A1 & EP 1413981 A1 & KR 2004019370 A & AU 2002318	1-8

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

21.06.2005

国際調査報告の発送日

12.7.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

恩田 春香

4L 8934

電話番号 03-3581-1101 内線 3498

C (続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
P, A	680 A1 & US 2004/167721 A1 JP 2005-038216 A (株式会社進化システム総合研究所 外1名) 2005.02.10, 全文, 第1-11図 & WO 2005/008580 A1	1-8